

数字电子技术基础一 ~ 三章测试题

姓名：_____ 学号：_____ 得分：_____

一、数码和数制 (2' × 12)

1. 数制转化

$(126)_{10} = (\underline{1111110})_2$ $(76)_8 = (62)_{10} = (\underline{3E})_{16} = (\underline{111110})_2$,
 $(10110110)_2 = (\underline{182})_{10} = (\underline{B6})_{16}$

2. 无符号整数二进制运算

$(10001001)_2 + (01000100)_2 = (\underline{11001101})_2$
 $(1011)_2 \times (1001)_2 = (\underline{1100011})_2$

3. 负数的二进制运算

-23 的 8 位二进制补码为 $(\underline{11101001})_{补}$ ，并用 8 位
 二进制补码表示法求 $38-23$ 的值。

$$\begin{array}{r} (00100110) \\ + (11101001) \\ \hline (00001111) \end{array}$$

二、门电路基本

1. 简述直流噪声容限的概念，并解释能否用 74 系列 TTL 电路来驱动 74HC 系列的 CMOS 电路。(2'+3')

是对电路抗噪声能力的度量，表示多大的噪声会使输出电压被破坏至不可识别的输入值(1')。画出噪声容限的图 1'。用 74 系列 TTL 电路无法直接驱动 74HC 系列的 CMOS 电路，原因是无法满足噪声容限的要求 ($V_{OHmin74TTL} < V_{IHmin74HC}$)。3'

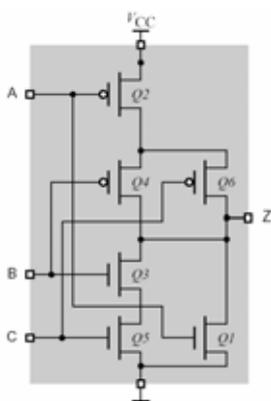
2. 简述扇出的概念。计算一个电路的扇出系数需要考虑哪些因素？(2'+3')

扇出是指不超出其最坏情况负载规格的情况下，能驱动的下一级的输入端的数目 2'。
 计算扇出需要考虑直流扇出和交流扇出 1'。其中直流扇出由 I_{OHmaxC}/I_{IHmaxC} 计算得到 1'。而交流的扇出主要考虑电路的速度。扇出过大会导致电路的速度达不到要求 1'。

3. 简述上拉电阻在集电极开路电路中的作用。(2')

集电极开路电路本身可以使得输出为低态，但是由于没有推拉式的结构，不能够输出为高态。这类电路输出高态的得到是通过上拉电阻和外部电源。集电极开路电路输出为高阻态，也就是从电路中“断开”。这个时候上拉电阻和电源就可以提供外部的无源上拉。

4. 分析下图中 CMOS 电路的逻辑功能(晶体管导通打√，截止打×)。(10')



A	B	C	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	L	×		×		×		H
L	L	H	×		×			×	H
L	H	L	×			×	×		H
L	H	H	×			×		×	L
H	L	L		×	×		×		L
H	L	H		×	×			×	L
H	H	L		×		×	×		L
H	H	H		×		×		×	L

该 CMOS 完成的逻辑功能为： $Z = \underline{A'(B'+C')}$ 。(2')

三、布尔代数和逻辑电路分析和设计基础

1. 逻辑运算基础

给出当 A 和 B 端波形如图 1 所示时，图 2 中 C 和 D 的波形。(3'+3')

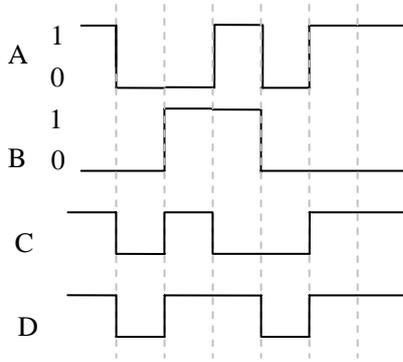


图 1

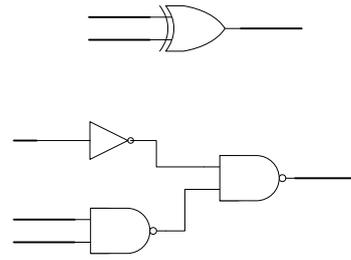


图 2

2. 在如下表达式上应用 DeMorgan 定理 (3' × 2)

$$a) \overline{\overline{AB}(C+D)} = \overline{A} + B + \overline{CD}$$

$$b) \overline{(\overline{A+B+C+D})(\overline{ABCD})} = \overline{ABCD}(\overline{A+BC+D})$$

$$= \overline{ABCD}A + \overline{ABCD}BC + \overline{ABCD}D$$

$$= \overline{ABCD}$$

3. 画出 $\overline{\overline{AB}(C+D)}$ 的逻辑电路图 (4')

4. 用代数法化简如下逻辑函数。(3' × 3)

$$a) \overline{AB} + \overline{ABC} + \overline{ABCD} + \overline{ABCDE} = \overline{AB}$$

$$b) \overline{ABC} + (\overline{A+B+C}) + \overline{ABCD} = \overline{AB}(C+D)$$

$$c) \overline{ABCD} + \overline{ABCD} + \overline{ABCD} = \overline{AB} + CD$$

5. 用卡诺图化简以下逻辑函数为: 1)最简和之积与 2)最简积之和的形式 (5' × 2)

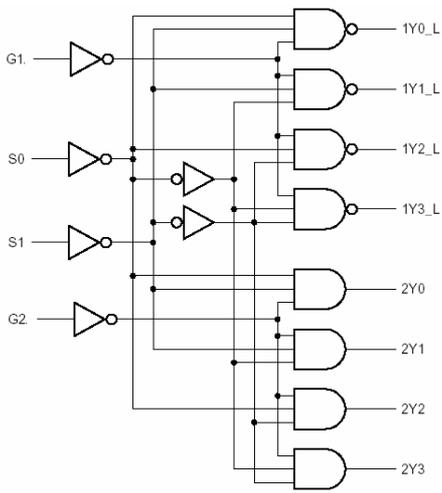
$$\overline{ABD} + \overline{ABCD} + \overline{ABCD} + \overline{ACD}$$

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	0	1	1	0
	10	0	1	1	0

最小和之积: $D(A+B)$ (红色圈)

最小积之和: $DA+DB$ (黑色圈)

6. 分析如下组合逻辑电路，填写下表，并说明其各个输入端的作用。(10'+10')



G1	G2	S0	S1	1Y0_L	1Y1_L	1Y2_L	1Y3_L	2Y0	2Y1	2Y2	2Y3
0	0	0	0	0	1	1	1	1	0	0	0
0	0	0	1	1	1	0	1	0	0	1	0
0	0	1	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	1	0	0	0	0	1
0	1	0	0	0	1	1	1	0	0	0	0
0	1	0	1	1	1	0	1	0	0	0	0
0	1	1	0	1	0	1	1	0	0	0	0
0	1	1	1	1	1	1	0	0	0	0	0
1	0	0	1	1	1	1	1	1	0	0	0
1	0	1	0	1	1	1	1	0	0	1	0
1	0	1	1	1	1	1	1	0	1	0	0
1	0	0	0	1	1	1	1	0	0	0	1
1	1	0	1	1	1	1	1	0	0	0	0
1	1	1	0	1	1	1	1	0	0	0	0
1	1	1	1	1	1	1	1	0	0	0	0
1	1	0	0	1	1	1	1	0	0	0	0

该电路实现两个二线-四线译码器功能。

S1S0：译码输入端。当 S1S0 = 00~11 时，从 Y0 ~ Y3 输出有效信号。4'

G1：低电平有效的控制输入端，控制 1Y0 ~ 1Y3 的输出。G1 无效时输出无效。3'

G2：低电平有效的控制输入端，控制 2Y0 ~ 2Y3 的输出。G2 无效时输出无效。3'

四、你对本课程上半学期的教学有何建议？(7')